

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307382

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H01L 21/76

(21)Application number : 06-124576

(71)Applicant : SONY CORP

(22)Date of filing : 13.05.1994

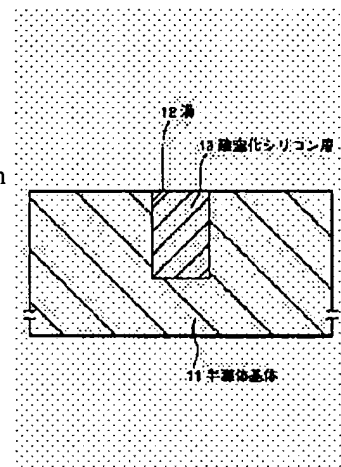
(72)Inventor : KATAOKA TOYOTAKA

(54) TRENCH ELEMENT ISOLATION STRUCTURE AND FORMATION THEREOF

(57)Abstract:

PURPOSE: To provide a trench element isolation structure which is never reduced its element isolation property in a subsequent heat treating process, and a method of forming the structure.

CONSTITUTION: In a trench element isolation structure, which is formed by burying an insulating layer in a groove 12 formed in a semiconductor substrate 11, the insulating layer is formed in such a way that it consists of a silicon oxynitride layer 13 having a thermal expansion coefficient, which can be made roughly equal with that of the substrate 1. By this, a stress is hardly generated in the interface between the substrate 11 and the layer 13 by a subsequent heat-treating process and the generation of a crystal defect in the interface is decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307382

(43) 公開日 平成7年(1995)11月21日

(51) IntCl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/76

H 0 1 L 21/ 76

L

審査請求 未請求 請求項の数7 F D (全 8 頁)

(21) 出願番号 特願平6-124576

(22) 出願日 平成6年(1994)5月13日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 片岡 豊▲隆▼

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

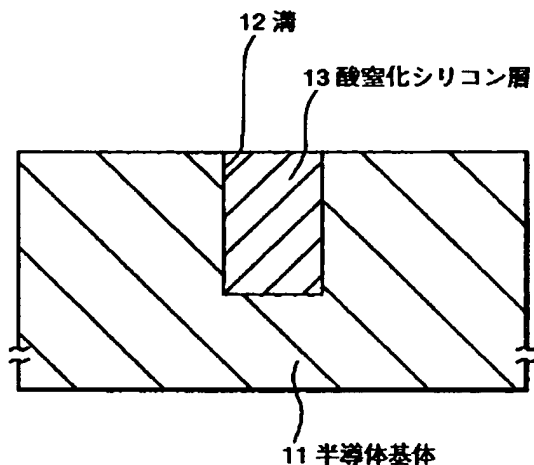
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 トレンチ素子分離構造およびその形成方法

(57) 【要約】

【目的】 後の熱処理工程において素子分離性能が低下することのないトレンチ素子分離構造およびその形成方法を提供すること。

【構成】 半導体基体11に形成した溝12内に絶縁層を埋込んでなるトレンチ素子分離構造において、上記絶縁層は、半導体基体11と熱膨張係数を略等しくすることが可能な酸化シリコン層13からなるようにする。このことによって、後の熱処理工程によって半導体基体11と酸化シリコン層13との界面に応力が生じ難くなり、界面における結晶欠陥の発生が少なくなる。



本発明構造の一例の断面図

【特許請求の範囲】

【請求項1】 半導体基体に形成した溝内に絶縁層を埋込んでなるトレンチ素子分離構造において、前記絶縁層は、酸化シリコン層からなることを特徴とするトレンチ素子分離構造。

【請求項2】 請求項1記載のトレンチ素子分離構造において、前記溝は、その表面に密着層が形成されていることを特徴とするトレンチ素子分離構造。

【請求項3】 請求項2記載のトレンチ素子分離構造において、前記密着層は、少なくとも前記半導体基体側の界面が酸化シリコン層からなることを特徴とするトレンチ素子分離構造。

【請求項4】 請求項1記載のトレンチ素子分離構造を形成する方法であって、前記半導体基体に前記溝を形成する第1工程と、該溝内を埋込む状態で前記半導体基体の表面に所定の割合のシリコンと酸素と窒素とを有する酸化シリコン層を形成する第2工程と、前記溝内に前記酸化シリコン層を埋込んだ状態で前記半導体基体の表面の酸化シリコン層を除去する第3工程とからなることを特徴とするトレンチ素子分離構造の形成方法。

【請求項5】 請求項2記載のトレンチ素子分離構造を形成する方法であって、

前記半導体基体に前記溝を形成する第1工程と、該溝の表面を含めて前記半導体基体の表面に密着層を形成する第2工程と、

前記密着層を介して前記溝内を埋込む状態で前記半導体基体の表面に所定の割合のシリコンと酸素と窒素とを有する酸化シリコン層を形成する第3工程と、

前記溝内に前記酸化シリコン層を埋込んだ状態で前記半導体基体の表面の酸化シリコン層と前記密着層とを除去する第4工程とからなることを特徴とするトレンチ素子分離構造の形成方法。

【請求項6】 請求項5記載のトレンチ素子分離構造の形成方法において、

前記密着層の形成は、酸化シリコン層を単層形成するか、または酸化シリコン層と酸化シリコン層とを積層状態に形成することによって行うことを特徴とするトレンチ素子分離構造の形成方法。

【請求項7】 請求項4、請求項5または請求項6記載のトレンチ素子分離構造の形成方法において、

前記酸化シリコン層は、化学的気相成長によって形成されることを特徴とするトレンチ素子分離構造の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基体に形成され

る素子間の電気的分離を図るためのトレンチ素子分離構造およびその形成方法に関するものである。

【0002】

【従来の技術】素子間の電気的分離を図るための構造として、トレンチ素子分離構造が知られている。この素子分離構造は、例えばシリコンからなる半導体基体に形成された溝内に、酸化シリコンからなる絶縁層を埋設してなるものである。最近ではエッチングの技術の進歩によって、幅1 μ m程度、深さ数 μ m程度の溝からなるトレンチ素子分離構造が可能になっている。

【0003】トレンチ素子分離構造は幅が小さくすみかつ深さ方向を確保できることから、その最大の利点は従来のLOCOS(Local Oxidation Of Silicon)素子分離構造に比べて素子分離領域を大幅に縮小できる点にある。特に、埋込みコレクタ層を有するバイポーラLSIにおいて素子分離領域を大幅に縮小できる点は非常に有効であり、80%近い素子分離領域の縮小が可能である。

【0004】従来、このようなトレンチ素子分離構造は例えば図5に示したように形成される。すなわち、まずシリコン基体31の表面に、酸化シリコンからなる熱酸化層32を形成する。続いて熱酸化層32上に化学的気相成長（以下、CVDと記す）によって、酸化シリコンからなる酸化層33を堆積する。そして、フォトリソグラフィ技術によってこれら熱酸化層32と酸化層33とでマスクを形成し、それを用いた異方性エッチングによってシリコン基体31に溝34を形成する（図5(a)）。

【0005】次に異方性エッチングのダメージを除去するために、ドライ酸化を行い溝34の表面に犠牲酸化層35を形成する（図5(b)）。その後、酸化層33と犠牲酸化層35とをウェットエッチングによって除去し、再度ドライ酸化を行って溝34の表面を含めてシリコン基体31の表面に表面酸化層36を形成する（図5(c)）。

【0006】続いて図5(d)に示すように、減圧CVDによって、溝34内を埋込む状態で表面酸化層36上に酸化シリコン層37を形成する。その後、溝34内に酸化シリコン層37を埋込んだ状態でシリコン基体31の表面の酸化シリコン層37と表面酸化膜36とを除去する。そして図5(e)に示すように、溝34内に酸化シリコン層37が埋込まれたトレンチ素子分離構造が得られる。

【0007】

【発明が解決しようとする課題】しかしながら溝内に酸化シリコン層を埋込んだ場合には、シリコン基体と酸化シリコン層との熱膨張係数の違いにより、後の素子形成における熱酸化や熱拡散などの熱処理工程によって酸化シリコン層とシリコン基体との界面に応力が生じる。その結果、界面のシリコン結晶格子にすべりや転移などの

欠陥が発生する。そのため、欠陥を介してリーク電流が流れて素子分離性能が低下するという問題が生じていた。本発明は上記課題を解決するためになされたものであり、後の熱処理工程によって素子分離性能が低下することのないトレンチ素子分離構造およびその形成方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記課題を解決するために請求項1記載の発明は、半導体基体に形成した溝内に絶縁層を埋込んでなるトレンチ素子分離構造において、上記絶縁層は酸化シリコン層からなるものである。また請求項2記載の発明は、請求項1記載の発明における溝の表面に密着層を形成したものである。

【0009】さらに請求項3記載の発明は、請求項2記載の発明における密着層が、少なくともその上記半導体基体側の界面が酸化シリコン層からなるものである。また請求項4記載の発明は、半導体基体に溝を形成した後、その溝内を埋込む状態で上記半導体基体の表面に所定の割合のシリコンと酸素と窒素とを有する酸化シリコン層を形成する。次いで、溝内に酸化シリコン層を埋込んだ状態で上記半導体基体の表面の酸化シリコン層を除去することによって、請求項1記載の発明のトレンチ素子分離構造を形成する方法である。

【0010】また請求項5記載の発明は、半導体基体に溝を形成し、その溝の表面を含めて上記半導体基体の表面に密着層を形成する。この後、密着層を介して上記溝内を埋込む状態で上記半導体基体の表面に、所定の割合のシリコンと酸素と窒素とを有する酸化シリコン層を形成する。次いでその溝内に酸化シリコン層を埋込んだ状態で上記半導体基体の表面の酸化シリコン層と上記密着層とを除去することによって、請求項2記載の発明のトレンチ素子分離構造を形成する方法である。

【0011】さらに請求項6記載の発明は、請求項5記載の発明における密着層の形成を、酸化シリコン層を単層積層するか、または酸化シリコン層と酸化シリコン層とを積層状態に形成することによって行う方法である。また請求項7記載の発明は、請求項4、請求項5または請求項6記載の発明において、酸化シリコン層をCVDによって形成する方法である。

【0012】

【作用】本発明のトレンチ素子分離構造においては、溝内に埋込む絶縁層が半導体基体と熱膨張係数を略等しくすることが可能な酸化シリコン層からなることから、温度変化があっても前記半導体基体と前記酸化シリコン層との界面に応力が生じ難い。また、前記溝の表面に密着層が形成されていることで、前記半導体基体と前記酸化シリコン層との密着性が高められたものになる。

【0013】また本発明のトレンチ素子分離構造の形成方法においては、前記溝内に前記酸化シリコン層を埋込む状態で前記半導体基体の表面に所定の割合のシリ

ンと酸素と窒素とを有する酸化シリコン層を形成することから、前記半導体基体と前記溝内との熱膨張係数を略等しくすることが可能になる。さらに前記溝を含めて前記半導体基体の表面に密着層を形成することで、前記溝の表面は前記酸化シリコン層に対して密着性の良い状態になる。また前記酸化シリコン層の形成をCVDによって行くと、CVDのガス成分を選択することで、前記酸化シリコン層はシリコンと酸素と窒素とが所定の割合に形成される。

10 【0014】

【実施例】以下、本発明に係るトレンチ素子分離構造およびその形成方法の実施例を図面に基いて説明する。図1は本発明のトレンチ素子分離構造（以下、本発明構造と記す）の一例を示した断面図である。図示したようにこの本発明構造の実施例は、例えばシリコンからなる半導体基体11に溝12が形成され、その溝12内に絶縁層になる酸化シリコン層13が埋め込まれた構造をなしている。

【0015】酸化シリコン層13は $\text{Si}_x\text{O}_y\text{N}_z$ で表される層で、X、Y、Zの値を適当な値とすることによって半導体基体11と略等しい熱膨張係数を持つものにする事ができる。例えば二酸化シリコン（ SiO_2 ）、四窒化シリコン（ Si_3N_4 ）、シリコン（ Si ）のおよその熱膨張係数はそれぞれ、 SiO_2 が $0.52 \times 10^{-6}/^\circ\text{C}$ 、 Si_3N_4 が $5.38 \times 10^{-6}/^\circ\text{C}$ 、 Si が $3.30 \times 10^{-6}/^\circ\text{C}$ であり、 $\text{SiO}_2 < \text{Si}_3\text{N}_4$ の順になる。そのため、上記のX、Y、Zの値を適当な値にすることによって、シリコンからなる半導体基体11と略等しい熱膨張係数を持つ酸化シリコン層13を得ることができる。

【0016】本発明者によりラザフォード後方散乱法を用いた測定では、 Si が30～40%程度、 O が30～50%程度、 N が20～30%程度の範囲でX、Y、Zの値を規定することで、酸化シリコン層13はシリコンからなる半導体基体11と熱膨張係数が略等しくなるという結果が得られている。通常、熱膨張係数が略等しい材料が接している場合には、温度変化による体積変化が両材料間で略等しくなるため、それらの界面にほとんど応力が発生しない。

40 【0017】すなわちこの実施例においては、半導体基体11と熱膨張係数を略等しくできる酸化シリコン層13が溝12内に埋込まれていることから、熱酸化や熱拡散などの後の熱処理工程において半導体基体11と酸化シリコン層13との界面でほとんど応力が発生しない。したがって、上記実施例のトレンチ素子分離構造は、後の素子形成における熱処理工程において半導体基体11と酸化シリコン層13との界面に欠陥が生じ難く、素子分離性能の低下のないものになる。

50 【0018】次に、本発明のトレンチ素子分離構造の形成方法（以下、本発明方法と記す）の一例を、図2に示

5

す一工程例の説明図を用いて説明する。図2(a)に示すように、まず熱酸化によってシリコンからなる半導体基体11の表面に、酸化シリコンからなる熱酸化層14を例えば20nm程度積層する。次いで熱酸化層14上にCVDによって、酸化シリコンからなる酸化層15を例えば200nm程度積層する。

【0019】次に図2(b)に示すように、リソグラフィ技術によって形成しようとする溝12の幅と略等しい開口を有するレジスト膜16を酸化層15上にマスクキングする。そして図2(c)に示すように、このレジスト膜16をマスクとして、熱酸化層14および酸化層15をパターンニングする。

【0020】次いで、アッシャー処理またはウェット処理によってレジスト膜16を除去する。そして図2

(d)に示すように、パターンニングした熱酸化層14および酸化層15をマスクにして、例えばECR(Electron Cyclotron Resonance)プラズマエッチングによって例えば幅が0.25μm程度、深さが0.25μm程度の溝12を形成する。なおエッチングガスには、流量が120sccm(standard cubic cm/min)程度の臭化水素(HBr)を用いる。またエッチング雰囲気中の圧力を約0.5Pa、マイクロ波パワーを約850W、高周波電力を約30W、エッチング温度を約0℃程度の条件に設定する。

【0021】続いて、上記の半導体基体11を酸化性雰囲気中で加熱して、溝12の表面に熱酸化層からなる犠牲酸化層(図示せず)を形成する。この犠牲酸化層は、上記工程のECRプラズマエッチングによりダメージを受けて結晶欠陥が生じた溝12の表面を除去するために行う。したがって犠牲酸化層の厚さは、形成された犠牲酸化膜が十分に結晶欠陥層を含むように、例えば20nm程度の厚さに形成される。

【0022】犠牲酸化膜の形成条件としては、例えば酸化炉を用いた熱酸化では形成雰囲気に酸素を15slm(standard liter/min)程度の流量で供給し、形成雰囲気の温度を1000℃程度に設定する。または形成雰囲気に酸素(O₂)と水素(H₂)とを供給し、それぞれの流量を例えばO₂/H₂=10/2.5slm程度、形成雰囲気の温度を850℃程度に設定して熱酸化を行う。

【0023】またはRTO(Rapid Thermal Oxidation)法によって、上記犠牲酸化を行うこともできる。その場合には、形成雰囲気に酸素を1.5SLM程度の流量で供給し、形成雰囲気の温度を1100℃程度に設定する。こうして犠牲酸化膜を形成した後は、フッ酸(HF)系溶液を用いたエッチングによって犠牲酸化膜と熱酸化層14と酸化層15とを除去し、犠牲酸化膜と共に結晶欠陥層(図示せず)を除く。

【0024】次に図2(e)に示すように、例えば熱CVDによって溝12内を埋込む状態で酸化シリコン層

6

13を0.2~0.3μm程度の厚さに積層する。その条件としては、例えば形成雰囲気にジクロロシラン(SiH₂Cl₂)、アンモニア(NH₃)および亜酸化窒素(N₂O)からなる混合ガスを供給し、それぞれの流量をSiH₂Cl₂/NH₃/N₂O=5/100/100slm程度、形成雰囲気の温度を760℃程度、形成雰囲気の圧力を66.5Pa程度にする。

【0025】または、形成雰囲気にシラン(SiH₄)、アンモニア(NH₃)および酸素(O₂)からなる混合ガスを供給し、それぞれの流量をSiH₄/NH₃/O₂=5/100/100sccm程度、形成雰囲気の温度を760℃程度、形成雰囲気の圧力を66.5Pa程度にした条件で熱CVDを行っても良い。さらに、形成雰囲気にテトラエトキシシラン(Si(OC₂H₅)₄)およびアンモニア(NH₃)からなる混合ガスを供給し、それぞれの流量をSi(OC₂H₅)₄/NH₃=5/100sccm程度、形成雰囲気の温度を760℃程度、形成雰囲気の圧力を66.5Pa程度にした条件で熱CVDを行っても良い。

【0026】このように酸化シリコン層13の形成をCVDによって行う場合には、CVDのガス成分を選択することで、酸化シリコン層13のシリコンと酸素と窒素とを所望の割合に容易に制御することができる。

【0027】その後、溝12内に酸化シリコン層13を埋込んだ状態で半導体基体11の表面の酸化シリコン層13を除去する。この除去は、例えばプラズマエッチングによるエッチバック、またはフッ酸系の薬液を使いながらのケミカルメカニカルポリッシングによって、半導体基体11の表面から酸化シリコン層13が除かれるまで行う。そして図2(f)に示したように、半導体基体11の溝12内に酸化シリコン層13を埋込んでなるトレンチ素子分離構造が形成される。

【0028】この実施例では、溝12内に所定の割合のシリコンと酸素と窒素とを有する酸化シリコン層13を埋込む状態で半導体基体11の表面に酸化シリコン層13を形成することから、半導体基体11と溝12内との熱膨張係数を略等しくすることが可能になる。したがって、温度変化によって半導体基体11と酸化シリコン13との界面で応力がほとんど発生しないため、後の素子形成において熱酸化や熱拡散などの熱処理工程を行っても上記界面に欠陥が生じ難い。そのため、後の熱処理工程によって素子分離性能の低下のない素子分離構造を形成することができる。

【0029】しかも上記したようにこの実施例では、酸化シリコン層13の形成をCVDによって行うので、酸化シリコン層13のシリコンと酸素と窒素との割合を所望の割合に容易に制御することができる。したがって、半導体基体11に略等しい熱膨張係数を持つ酸化シリコン層13を容易に形成することができる。

【0030】次に、本発明構造の他の例について説明す

50

る。図3は本発明構造の他の例を示した断面図である。図示したように、この実施例は前記トレンチ素子分離構造における溝12の表面に密着層17を形成したものである。そして、溝12内には密着層17を介して酸化シリコン層13が埋込まれている。密着層17は、例えば少なくともその半導体基体11側の界面が酸化シリコン層からなる。具体的には、酸化シリコン層の単層からなるか、または酸化シリコン層と酸化シリコン層とがこの順に積層されているものからなる。

【0031】溝12の表面に密着層17を形成した構造では、溝12に酸化シリコン層13が直接埋込まれた構造よりも、半導体基体11と酸化シリコン層13との密着性が向上する。中でも、少なくとも半導体基体11側の界面が酸化シリコン層からなる密着層17が形成されていると、半導体基体11と酸化シリコン層13との密着性がより向上する。

【0032】なお、この密着層17は例えば幅0.25μm程度、深さ0.25μm程度の溝12に対して20nm程度と極薄く形成される。そのため密着層17が形成されていることによって、密着層17と半導体基体11または密着層17と酸化シリコン層13との界面において応力の発生はほとんどない。したがって、上記実施例のトレンチ素子分離構造は、後の熱処理工程によって半導体基体11と酸化シリコン13との界面に欠陥が生じ難いため、素子分離性能のより向上した構造になる。

【0033】次に、本発明方法の他の例を図4に示す他の工程例の説明図を用いて説明する。上記実施例のトレンチ素子分離構造を形成する場合には、図4(a)に示すようにまず前述したトレンチ素子分離構造の形成方法と同様にして溝12を形成する。すなわち、ECRプラズマエッチングで半導体基体11に例えば幅0.25μm程度、深さ0.25μm程度の溝12を形成する。そして、溝12の表面に犠牲酸化層を形成してからこの層を除去し、溝12の表面から結晶欠陥を除く。

【0034】次に図4(b)に示すように、少なくとも半導体基体11側の界面が酸化シリコン層からなる密着層17を、溝12を含めて半導体基体11の表面に例えば20nm程度の厚さに形成する。この密着層17は、溝13の表面を、次の工程で埋込まれる酸化シリコン層13に対して結合性の良い状態にしておくために設けるものである。例えば密着層17を酸化シリコン層の単層で形成する場合、前述した犠牲酸化膜の形成条件と同様にして溝12の表面に設けられる。

【0035】また密着層17を、酸化シリコン層と酸化シリコン層との積層状態に形成する場合は、まず上記と同様の方法で酸化シリコン層を形成する。次いで、酸化シリコン層の上層を窒素を含む反応性ガス雰囲気中で熱処理して窒化することで形成することができる。この窒化は、RTP (Rapid Thermal Process) 装置を用い、

形成雰囲気中に亜酸化窒素を1.5slm程度の流量で供給し、処理温度を1100℃程度に設定する。または酸化炉を用い、亜酸化窒素を1.5slm程度の流量で供給し、形成雰囲気の温度を1000℃程度に設定することで行う。

【0036】または、酸化炉を用いて形成雰囲気に亜酸化窒素の代わりにアンモニアを1.5slm程度の流量で供給し、形成雰囲気の温度を950℃程度に設定することによって窒化を行うことも可能である。その場合には、窒化後に亜酸化窒素もしくは酸素を形成雰囲気に1.5slm程度の流量で供給し、形成雰囲気の温度を950℃程度にして再酸化を行うと酸化シリコン層中の余分な水素を除くことができる。

【0037】またアンモニアによる窒化は、RTP装置を用いて形成雰囲気にアンモニアを1.5slm程度の流量で供給し、処理温度を1000℃程度に設定して行うこともできる。そして再酸化は、RTP装置を用いて亜酸化窒素もしくは酸素を形成雰囲気に1.5slm程度の流量で供給し、処理温度を1000℃程度に設定しても良い。

【0038】次に図4(c)に示すように、例えばCVDによって、密着層17を介して溝12内を埋込む状態で絶縁層になる酸化シリコン層13を0.2~0.3μm程度の厚さに積層する。その酸化シリコン層13の形成条件は、前述したトレンチ素子分離構造の形成方法における酸化シリコン13の形成の場合と同様である。上記したごとく溝12の表面には密着層17が形成されており、その表面は酸化シリコン層13との結合性が良い状態になっている。したがって、この工程で酸化シリコン層13は、溝12の表面に密着性良くかつ容易に形成される。

【0039】その後、溝12内に酸化シリコン層13を埋込んだ状態で半導体基体11の表面の酸化シリコン層13と密着層17とを除去する。この除去は、例えばプラズマエッチングによるエッチバック、またはフッ酸系の薬液を使いながらのケミカルメカニカルポリッシングによって、半導体基体11の表面から酸化シリコン層13および密着層17が除かれるまで行う。そして図4(d)に示したように、半導体基体11の溝12内に密着層17を介して酸化シリコン層13を埋込んでなるトレンチ素子分離構造が形成される。

【0040】この実施例では、予め溝12の表面に酸化シリコン層13との結合性が良い密着層17を形成しておくので、溝12内に酸化シリコン層13を密着性良くかつ容易に積層することができる。特に、密着層17が酸化シリコン層の単層体、または酸化シリコン層と酸化シリコン層とがこの順に積層された状態に形成されている場合には、溝12の表面と酸化シリコン層13をさらに密着性良くかつ容易に積層することができる。

【0041】したがって上記実施例によれば、後の素子形成における熱酸化や熱拡散などの熱処理工程によって半導体基体11と酸化窒化シリコン層13との界面に欠陥が生じ難く、良好な素子分離性能を有するトレンチ素子分離構造を容易に形成することができる。

【0042】

【発明の効果】以上説明したように本発明構造によれば、溝内に埋込まれる絶縁層を半導体基体の熱膨張係数に略等しくなる酸化窒化シリコン層で形成したので、後の素子形成での熱処理工程を行った場合に、前記半導体基体と前記酸化窒化シリコン層との界面に欠陥が生じ難い。そのため、リーク電流の発生のおとんどない良好な素子分離性能を有するものになる。

【0043】また前記溝の表面に酸化窒化シリコン層との密着性の良い密着層が形成されていることで、前記半導体基体と前記酸化窒化シリコン層との密着性が向上したトレンチ素子分離構造となる。また本発明方法によれば、前記溝内に埋込む状態で前記半導体基体の表面に所定の割合のシリコンと酸素と窒素とを有する酸化窒化シリコン層を形成するので、前記溝内にシリコンと酸素と窒素とが所定の割合の酸化窒化シリコン層が埋込まれたトレンチ素子分離構造を形成することができる。したがって前記

半導体基体と前記溝内との熱膨張係数を略等しくすることができる。

【0044】また予め前記溝の表面に前記酸化窒化シリコン層との結合性が良い密着層を形成しておくことで、前記溝内に前記酸化窒化シリコン層を密着性良くかつ容易に積層することができる。さらに前記酸化窒化シリコン層をCVDによって形成することで、該酸化窒化シリコン層のシリコンと酸素と窒素との割合を所定の割合に容易に制御することができ、前記半導体基体と略等しい熱膨張係数を持つ前記酸化窒化シリコン層の形成が容易になる。

【図面の簡単な説明】

【図1】本発明構造の一例を示した断面図である。

【図2】本発明方法の一工程例を示した説明図である。

【図3】本発明構造の他の例を示した断面図である。

【図4】本発明方法の他の工程例を示した説明図である。

【図5】従来方法の一例を示した説明図である。

【符号の説明】

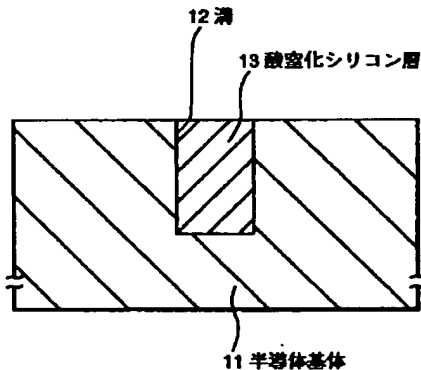
11 半導体基体

12 溝

13 酸化窒化シリコン層

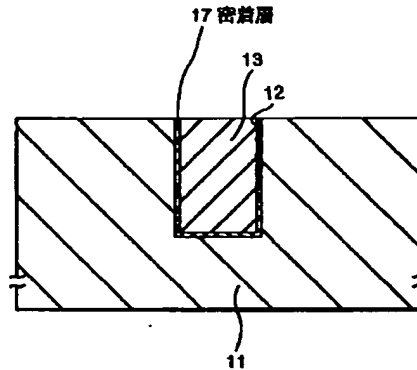
17 密着層

【図1】



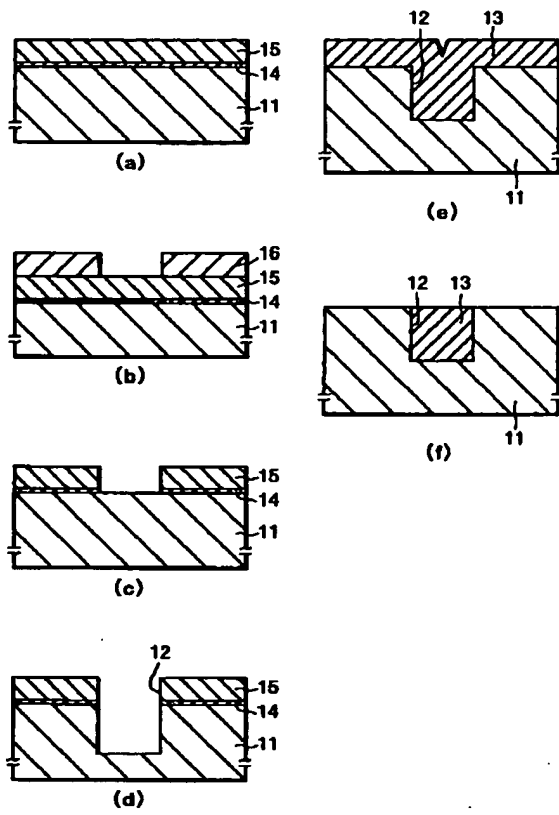
本発明構造の一例の断面図

【図3】



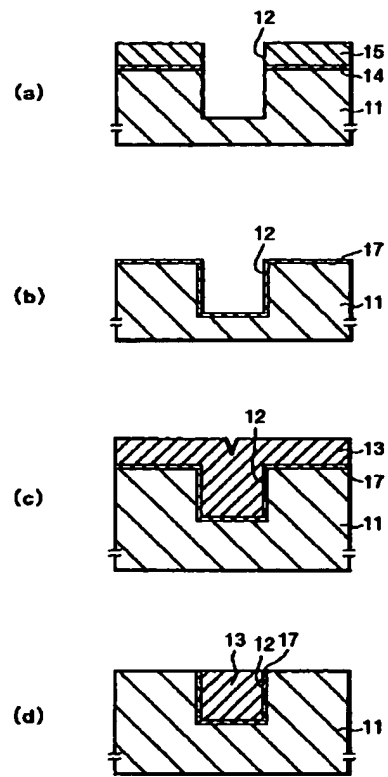
本発明構造の他の例の断面図

【図2】



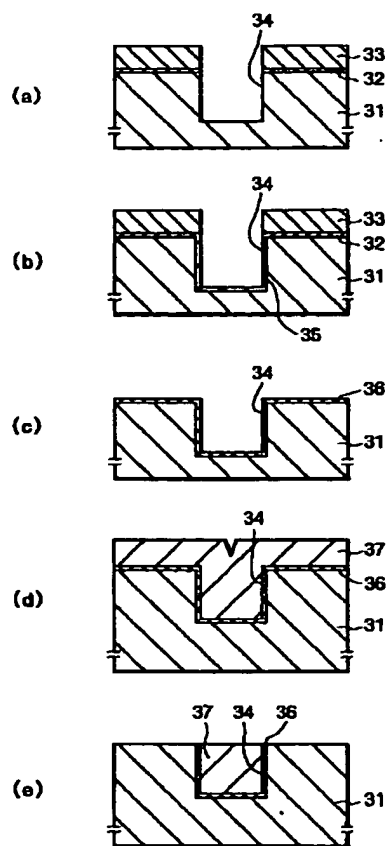
本発明方法の一工程例の説明図

【図4】



本発明方法の他の工程例の説明図

【図5】



従来方法の一例の説明図